

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 4 9 5 7 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 9 5 7 2]

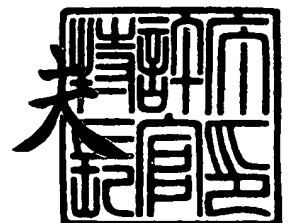
出 願 人 セイコーインスツルメンツ株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 2 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 1 8 3 5

【書類名】 特許願

【整理番号】 03000140

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/02

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 町田 聡

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメンツ株式会社内

【氏名】 河原 行人

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書
【発明の名称】 光電変換装置
【特許請求の範囲】

【請求項 1】 光電変換手段と、
前記光電変換手段の出力端子が、入力端子に接続されリセット手段と、
前記光電変換手段の出力端子が、入力端子に接続されアンプ手段と、
前記光電変換手段の出力端子をリセットすることにより生じる基準信号と、前記光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを順に保持する第 1 の保持手段と、
前記基準信号と前記光信号とを順に保持する第 2 の保持手段と、
前記基準信号を保持する第 3 の保持手段と、
前記基準信号と前記光信号とを共通信号線に読み出す信号読み出し手段と、を有することを特徴とする光電変換装置。

【請求項 2】 前記信号読み出し手段がオンし前記基準信号を前記共通信号線に読み出し、次に前記光信号を前記第 3 の保持手段に送ることによって、前記光信号を共通信号線に読み出すことを特徴とする請求項 1 記載の光電変換装置。

【請求項 3】 光電変換手段の出力端子が、リセット手段と第 1 のアンプ手段の入力端子に接続され、前記第 1 のアンプ手段の出力端子に、第 1 の電荷転送手段が接続され、前記第 1 の電荷転送手段のもう一つの端子が第 1 の容量と第 2 のアンプ手段の入力端子に接続され、前記第 2 のアンプ手段の出力端子に、第 2 の電荷転送手段が接続され、前記第 2 の電荷転送手段のもう一つの端子が第 2 の容量と第 3 のアンプ手段の入力端子に接続され、前記第 3 のアンプ手段の出力端子に、第 3 の電荷転送手段が接続され、前記第 3 の電荷転送手段のもう一つの端子が第 3 の容量とソースフォロアアンプのゲートに接続され、前記ソースフォロアアンプのソースがチャンネル選択手段に接続され、前記チャンネル選択手段のもう一つの端子が共通信号線に接続され、前記共通信号線が電流源に接続された光電変換装置。

【請求項 4】 前記チャンネル選択手段がオンし基準信号を共通信号線に読み出し、次に前記第 3 の電荷転送手段がオンし光信号を前記第 3 の容量に読み出す

ことで、光信号を共通信号線に読み出すことを特徴とする、請求項3記載の光電変換装置。

【請求項5】 前記チャンネル選択手段がオンし基準信号を共通信号線に読み出し、次に前記第3の電荷転送手段がオンし光信号を前記第3の容量に読み出すことで、光信号を共通信号線に読み出し、前記第2転送手段がオンして基準信号を前記第2の容量に読み出し、前記第3の電荷転送手段がオンし基準信号を前記第3の容量に読み出すことを特徴とする請求項3記載の光電変換装置。

【請求項6】 光電変換手段の出力端子が、リセット手段とアンプ手段の入力端子に接続され、前記光電変換手段の出力端子をリセットすることにより生じる基準信号と、前記光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを順に保持する第1の保持手段と、前記基準信号と前記光信号とを順に保持する第2の保持手段と、前記基準信号を保持する第3の保持手段と、前記基準信号と前記光信号とを共通信号線に読み出す信号読み出し手段からなる光電変換装置において、前記信号読み出し手段にソースフォロアアンプが含まれ、前記共通信号線が第1の電流源に接続され、前記ソースフォロアアンプのソースが第2の電流源に接続されたことを特徴とする光電変換装置。

【請求項7】 前記信号読み出し手段がオンし前記基準信号を前記共通信号線に読み出し、次に前記光信号を前記第3の保持手段に送ることによって、前記光信号を共通信号線に読み出すことを特徴とする請求項6記載の光電変換装置。

【請求項8】 光電変換手段の出力端子が、リセット手段と第1のアンプ手段の入力端子に接続され、前記第1のアンプ手段の出力端子に、第1の電荷転送手段が接続され、前記第1の電荷転送手段のもう一つの端子が第1の容量と第2のアンプ手段の入力端子に接続され、前記第2のアンプ手段の出力端子に、第2の電荷転送手段が接続され、前記第2の電荷転送手段のもう一つの端子が第2の容量と第3のアンプ手段の入力端子に接続され、前記第3のアンプ手段の出力端子に、第3の電荷転送手段が接続され、前記第3の電荷転送手段のもう一つの端子が第3の容量とソースフォロアアンプのゲートに接続され、前記ソースフォロアアンプのソースがチャンネル選択手段に接続され、前記チャンネル選択手段のもう一つの端子が共通信号線に接続され、前記共通信号線が第1の電流源に接続さ

れた光電変換装置において、前記ソースフォロアアンプのソースが第2の電流源に接続されたことを特徴とする光電変換装置。

【請求項9】 前記チャンネル選択手段がオンし基準信号を共通信号線に読み出し、次に前記第3の電荷転送手段がオンし光信号を前記第3の容量に読み出すことで、光信号を共通信号線に読み出すことを特徴とする、請求項8記載の光電変換装置。

【請求項10】 前記チャンネル選択手段がオンし基準信号を共通信号線に読み出し、次に前記第3の電荷転送手段がオンし光信号を前記第3の容量に読み出すことで、光信号を共通信号線に読み出し、前記第2転送手段がオンして基準信号を前記第2の容量に読み出し、前記第3の電荷転送手段がオンし基準信号を前記第3の容量に読み出すことを特徴とする請求項8記載の光電変換装置。

【請求項11】 前記チャンネル選択手段がオンしているとき前記第2の電流源に電流が流れておらず、前記第3の電荷転送手段がオンし基準信号を前記第3の容量に読み出すときに、前記第2の電流源に電流が流れていることを特徴とする請求項8記載の光電変換装置。

【請求項12】 前記第2の電流源に流れる電流は、前記第1の電流源に流れる電流と、ほぼ同じであることを特徴とする、請求項8記載の光電変換装置。

【請求項13】 前記第2の電流源は、MOSトランジスタであり、前記MOSトランジスタのドレインが前記ソースフォロアアンプのソースに接続されており、前記第2の電流源のオン、オフ制御は、前記MOSトランジスタのゲート電圧を変えることを行うことを特徴とする請求項8記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光照射された原稿からの反射光を受けて電気信号に変換する光電変換装置に関し、特にファクシミリやイメージスキャナ等の画像読み取り装置に適用するリニアイメージセンサーに関する。

【0002】

【従来の技術】

従来の画像読み取り装置に用いられているイメージセンサー IC の回路図を図 10 にタイミングチャートを図 11 に示す（例えば、特許文献 1 参照。）。

【0003】

フォトダイオード 101 の N 型領域が正電源電圧端子 VDD に接続しており、P 型領域がリセットスイッチ 102 のドレインとソースフォロアアンプ 103 のゲートに接続している。リセットスイッチ 102 のソースには基準電圧 VREF1 が与えられている。ソースフォロアアンプ 103 の出力端子であるソースは、読み出しスイッチ 105 と定電流源 104 につながっている。定電流源 104 のゲートは基準電圧 VREFA の定電圧が与えられている。図 10 に示す光電変換ブロック An の枠の内側の要素は画素数分設けられており、各ブロックの読み出しスイッチ 105 は共通信号線 106 に接続している。なお、光電変換ブロック An は n ビット目の光電変換ブロックを示している。

【0004】

共通信号線 106 は、抵抗 110 を通じてオペアンプ 109 の反転端子に入力しており、オペアンプ 109 の出力端子がチップセレクトスイッチ 112 と容量 113 を介して出力端子 116 につながっている。共通信号線 106 は、信号線リセットスイッチ 107 に接続し、信号線リセットスイッチ 107 のソースには基準電圧 VREF2 が与えられている。オペアンプ 109 の出力端子と反転端子の間には抵抗 111 が接続されていて、オペアンプ 109 の非反転端子は一定電圧 VREF3 に固定されている。オペアンプ 109、抵抗 110、抵抗 111 で反転増幅器 D が形成されている。

【0005】

イメージセンサーの出力端子 116 は、MOS トランジスタ 114 のドレインに接続し、MOS トランジスタ 114 のソースには基準電圧 VREF4 が与えられている。また、イメージセンサーの出力端子 116 には、寄生容量などの容量 115 も接続されている。容量 113、容量 115、MOS トランジスタ 114 でクランプ回路 C が構成されている。

【0006】

【特許文献】

特開平 11-239245 号公報 (第 2-5 頁、第 1 図)

【0007】

【発明が解決しようとする課題】

しかし、この様なイメージセンサーにおいては、光電荷蓄積後、光信号を読み出してから、フォトダイオードをリセットし、その後基準信号を読み出し、光信号と基準信号の差をとるので、基準信号と光信号に乗っているリセットノイズが異なるという問題があった。すなわち、異なった、タイミングのリセットノイズを比較するため、ランダムノイズが大きいという問題があった。

【0008】

【課題を解決するための手段】

従来のこのような問題点を解決するために、本発明は、光電変換手段の出力端子が、リセット手段とアンプ手段の入力端子に接続され、前記光電変換手段の出力端子をリセットすることにより生じる基準信号と、前記光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを順に保持する第 1 の保持手段と、前記基準信号と前記光信号とを順に保持する第 2 の保持手段と、前記基準信号を保持する第 3 の保持手段と、前記基準信号と前記光信号とを共通信号線に読み出す信号読み出し手段からなる光電変換装置とした。

【0009】

また、光電変換手段の出力端子が、リセット手段と第 1 のアンプ手段の入力端子に接続され、前記第 1 のアンプ手段の出力端子に、第 1 の電荷転送手段が接続され、前記第 1 の電荷転送手段のもう一つの端子が第 1 の容量と第 2 のアンプ手段の入力端子に接続され、前記第 2 のアンプ手段の出力端子に、第 2 の電荷転送手段が接続され、前記第 2 の電荷転送手段のもう一つの端子が第 2 の容量と第 3 のアンプ手段の入力端子に接続され、前記第 3 のアンプ手段の出力端子に、第 3 の電荷転送手段が接続され、前記第 3 の電荷転送手段のもう一つの端子が第 3 の容量とソースフォロアアンプのゲートに接続され、前記ソースフォロアアンプのソースがチャンネル選択手段に接続され、前記チャンネル選択手段のもう一つの端子が共通信号線に接続され、前記共通信号線が電流源に接続された光電変換装置とし、前記チャンネル選択手段がオンし、前記光電変換手段の出力端子をリセ

ットすることにより生じる基準信号を共通信号線に読み出し、次に前記第3の電荷転送手段がオンし、前記光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号を前記第3の容量に読み出すことで、光信号を共通信号線に読み出すことを特徴とする光電変換装置とした。

【0010】

また、光電変換手段の出力端子が、リセット手段とアンプ手段の入力端子に接続され、前記光電変換手段の出力端子をリセットすることにより生じる基準信号と、前記光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを順に保持する第1の保持手段と、前記基準信号と前記光信号とを順に保持する第2の保持手段と、前記基準信号を保持する第3の保持手段と、前記基準信号と前記光信号とを共通信号線に読み出す信号読み出し手段からなる光電変換装置において、前記信号読み出し手段にソースフォロアアンプが含まれ、前記共通信号線が第1の電流源に接続され、前記ソースフォロアアンプのソースが第2の電流源に接続されたことを特徴とする光電変換装置とした。

【0011】

また、光電変換手段の出力端子が、リセット手段と第1のアンプ手段の入力端子に接続され、前記第1のアンプ手段の出力端子に、第1の電荷転送手段が接続され、前記第1の電荷転送手段のもう一つの端子が第1の容量と第2のアンプ手段の入力端子に接続され、前記第2のアンプ手段の出力端子に、第2の電荷転送手段が接続され、前記第2の電荷転送手段のもう一つの端子が第2の容量と第3のアンプ手段の入力端子に接続され、前記第3のアンプ手段の出力端子に、第3の電荷転送手段が接続され、前記第3の電荷転送手段のもう一つの端子が第3の容量とソースフォロアアンプのゲートに接続され、前記ソースフォロアアンプのソースがチャンネル選択手段に接続され、前記チャンネル選択手段のもう一つの端子が共通信号線に接続され、前記共通信号線が第1の電流源に接続された光電変換装置において、前記ソースフォロアアンプのソースが第2の電流源に接続されたことを特徴とする光電変換装置とし、前記チャンネル選択手段がオンし、前記光電変換手段の出力端子をリセットすることにより生じる基準信号を共通信号線に読み出し、次に前記第3の電荷転送手段がオンし、前記光電変換手段に入射

した光で発生した電荷の蓄積を行った後に得られる光信号を前記第3の容量に読み出すことで、光信号を共通信号線に読み出すことを特徴とする光電変換装置とした。

【0012】

【作用】

この読み出し方によれば、リセットスイッチの同じオフノイズが乗った基準信号と光信号とを順に読み出すので、相関2重サンプリング等の方法で、この電圧の差をとれば、固定パターンノイズとランダムノイズの小さい光電変換装置を得ることができる。

【0013】

【実施例】

図1は、本発明の実施形態1に係る光電変換装置の概略回路図である。図1に示す光電変換ブロックA_nの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックA_nはnビット目の光電変換ブロックを示している。図5に、全体の構成図を示す。

【0014】

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ18、19、20、リセット手段となるリセットスイッチ2、アンプ手段15、16、17、容量21、22、23、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、電流源8からなる。アンプ手段15、16、17はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンパイネーブル端子12、13、14を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。

【0015】

図3は、本発明の実施形態1に係る光電変換装置の概略回路図に対応したタイミングチャートである。

【0016】

以下にこのタイミングチャートを参照しながら、本実施形態1の動作及び構成を説明する。

【0017】

図3の ϕR 、 $\phi T1$ 、 $\phi SEL1$ は全ビットについて同時に動作する。 $\phi T2$ の光信号を転送する期間S1と $\phi SEL2$ の光信号を転送する期間も全ビットについて同時に動作する。 $\phi T2$ の基準信号を転送する期間R1と $\phi SEL2$ の基準信号を転送する期間と、その他のパルスはビットによって動作するタイミングが異なるので、(n)付で表示している。

【0018】

まず、nビット目の光電変換ブロックの動作について説明する。

【0019】

まず、基準信号の転送の動作を説明する。

【0020】

ϕR のR1の位置のパルスによりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後の第1のアンプ15の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後の第1のアンプ15の出力電圧の差をとればよい。

【0021】

そこで、図3のように、リセットスイッチ2がオフした直後、 $\phi T1$ のR1の位置のパルスにより第1の転送スイッチ12をオンして、基準信号を第1の容量21に読み出し、この基準信号を第1の容量21に保持する。この後フォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動する。この蓄積期間は ϕR のR1の期間の終了から、次の周期の $\phi T1$ のS1の期間の終了までであるので、図3のTS1の期間となり、全てのビットについて同じ期間になる。

【0022】

次に、 $\phi T2(n)$ のR1の位置のパルスにより第2の転送スイッチ19をオンし

て、基準信号を第2の容量22に読み出す。次に、 $\phi T3(n)$ のR1の位置のパルスにより第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。基準信号は、1周期の間、容量23に保持される。

【0023】

次に、光信号の転送の動作を説明する。

【0024】

蓄積期間TS1の最後で、 $\phi T1$ のS1の位置のパルスにより第1の転送スイッチ18をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第1の容量21に読み出す。次に、 $\phi T2(n)$ のS1の位置のパルスにより第2の転送スイッチ19をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第2の容量22に読み出す。これは全てのビットで同時に行われる。

【0025】

次に、基準信号と光信号の読み出しの動作を説明する。

【0026】

図3のTS2の蓄積期間中に、 $\phi SCH(n)$ のパルスによりチャンネル選択スイッチ7を開くと、第3の容量23に保持されていた基準信号が共通信号線11に読み出される。この期間は $\phi SCH(n)$ のR1の部分である。この基準信号は、 ϕR のR1の位置のパルスにより発生した基準信号である。次に、 $\phi T3(n)$ をオンし、S1の期間で光信号を容量23に読み出すと、この光信号が共通信号線11に読み出される。

【0027】

$\phi T3(n)$ をオンすると光信号が容量23に読み出されるが、 $\phi T3(n)$ をオンしている期間S1の間に、V1の電位がセットリングするようにアンプ手段17のドライバビリティを設定すれば、 $\phi SCH(n)$ の期間を短くでき、高速の読み出しが可能である。

【0028】

以上の動作により、 $\phi SCH(n)$ のR1の期間とS1の期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。これは、両方に同じリセットパルス ϕR のオフノイズがの

っており、両方の電圧の出力経路が同じであるからである。

【0029】

次に、 $\phi T3(n)$ をオフしてから、 $\phi SCH(n)$ をオフし、 $\phi T2(n)$ のR2の位置のパルスにより第2の転送スイッチ19をオンして、リセットパルス ϕR のR2の期間終了後の基準信号を第2の容量22に読み出す。次に、 $\phi T3(n)$ のR2の位置のパルスにより第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。

【0030】

一方、 $\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の $\phi T2$ の基準信号を読み出すパルス、 $\phi T3$ のパルスは、 n ビット目のパルスよりも、全て ϕSCH のオン期間だけ後ろにずれる。

【0031】

基準信号と光信号は、相関2重サンプリング回路等を使い差をとる。これは、例えば、従来例の図10のブロックCの回路で可能である。

【0032】

図1、図3の実施例では、TS2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS2の期間内に赤の光信号を読み出すことになる。

【0033】

図2は、本発明の実施形態1に係る光電変換装置の回路図である。図1のリセットスイッチ2はMOSスイッチ35、アンプ手段15、16、17はMOSソースフォロア38、40、42と電流源39、41、43、転送スイッチ18、19は、MOSスイッチ44、45、転送スイッチ20はトランスマッションゲート32とダミースイッチ33、チャンネル選択スイッチ7はMOSスイッチ3

6、電流源 8 は MOS 電流源 37 で置き換えている。

【0034】

図 4 は、本発明の実施形態 1 に係る光電変換装置の回路図に対応したタイミングチャートである。

【0035】

図 3 との違いは、 $\phi \text{SEL} 1$ 、 $\phi \text{SEL} 2$ 、 $\phi \text{SEL} 3$ 、がそれぞれ $\phi I 1$ 、 $\phi I 2$ 、 $\phi I 3$ 、に変わった点である。また、 $\phi T3X$ は図 4 に示さないが、 $\phi T3$ の反転である。

【0036】

図 3 の回路では、アンプ 38、40、42 のオン・オフを、それぞれ電流源 39、41、43 のゲート電圧でコントロールする。

【0037】

図 2 の回路では MOS ソースフォロア 38 と 42 の基板電位とソース電位を共通としているので、ゲインをほぼ 1 にできる。

【0038】

また、基準信号 R1 を読み出すときは $\phi T3$ のオフノイズが乗った状態の V1 の電位を読み出すが、光信号 S1 を読み出すときは $\phi T3$ のオフノイズが乗っていない状態の V1 の電位を読み出している。このため、 $\phi T3$ のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランスマッションゲート 32 とし、ダミースイッチ 33 を設けている。トランスマッションゲートの NMOS と PMOS のトランジスタサイズは同じにし、ダミースイッチ 33 の NMOS と PMOS のトランジスタサイズは、トランスマッションゲートのトランジスタサイズのゲート面積の半分にする。

【0039】

消費電流の観点では、高速読み出しのためには、 $\phi T3$ の S1 の期間を短くする必要があるが、そのためには、アンプ手段 14 または、電流源 43 の電流を大きくする必要がある。しかし、図 3 または図 4 の駆動方法では、 $\phi T3$ のパルスは、ビットによってずれるので、消費電流を分散させることができる。このことは、図 3 の $\phi \text{SEL} 3$ または、図 4 の $\phi I3$ がビットごとにずれていることで示されている。

【0040】

一方、 $\phi T1$ 、 $\phi T2$ は全ビット同時にオンする必要があるが、これは、オンの期間を長くすることで、アンプ手段15、16または、電流源39、41の電流を低く抑えることができる。すなわち、図3、図4に示される、 $\phi T1$ 、 $\phi T2$ のオン期間を、 ϕSCH や $\phi T3$ のオン期間よりも長くすれば良い。図3、図4では、 $\phi T2$ のR2の期間が ϕSCH のオン期間と同じに示されているが、 $\phi T2$ のR2の期間を ϕSCH のオン期間よりも長くしてもさしつかえない。

【0041】

また、 $\phi T2$ 、 $\phi T3$ 、 ϕSCH 等のパルスは、ビットごとにずれるように作る必要があるが、シフトレジスタのパルスから、作ることができる。

【0042】

図6は、本発明の実施形態2に係る光電変換装置の概略回路図である。図6に示す光電変換ブロックAnの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックAnはnビット目の光電変換ブロックを示している。図5に、全体の構成図を示す。

【0043】

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ18、19、20、リセット手段となるリセットスイッチ2、アンプ手段15、16、17、容量21、22、23、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、電流源8からなる。アンプ手段15、16、17はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子12、13、14を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。

【0044】

さらに、MOSトランジスタ6のソースに、第2の電流源51が接続されている。この電流源はイネーブル信号 ϕRR によってオン・オフし、オン状態では、第1の電流源8と同程度の電流が流れるようになっている。

【0045】

図8は、本発明の実施形態2に係る光電変換装置の概略回路図に対応したタイミングチャートである。

【0046】

以下にこのタイミングチャートを参照しながら、本実施形態2の動作及び構成を説明する。

【0047】

図8 ϕR 、 $\phi T1$ 、 $\phi SEL1$ は全ビットについて同時に動作する。 $\phi T2$ の光信号を転送する期間S1と $\phi SEL2$ の光信号を転送する期間も全ビットについて同時に動作する。 $\phi T2$ の基準信号を転送する期間R1と $\phi SEL2$ の基準信号を転送する期間と、その他のパルスはビットによって動作するタイミングが異なるので、(n)付で表示している。

【0048】

まず、nビット目の光電変換ブロックの動作について説明する。

【0049】

まず、基準信号の転送の動作を説明する。

【0050】

ϕR のR1の位置のパルスによりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後の第1のアンプ15の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後の第1のアンプ15の出力電圧の差をとればよい。

【0051】

そこで、図8のように、リセットスイッチ2がオフした直後、 $\phi T1$ のR1の位置のパルスにより第1の転送スイッチ12をオンして、基準信号を第1の容量21に読み出し、この基準信号を第1の容量21に保持する。この後フォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動する。この

蓄積期間は ϕR の $R1$ の期間の終了から、次の周期の $\phi T1$ の $S1$ の期間の終了までであるので、図 8 の $TS1$ の期間となり、全てのビットについて同じ期間になる。

【0052】

次に、 $\phi T2(n)$ の $R1$ の位置のパルスにより第 2 の転送スイッチ 19 をオンして、基準信号を第 2 の容量 22 に読み出す。次に、 $\phi T3(n)$ の $R1$ の位置のパルスにより第 3 の転送スイッチ 20 をオンして、基準信号を第 3 の容量 23 に読み出す。このとき、イネーブル信号 $\phi RR(n)$ により電流源 51 をオン状態にすることによって、MOS トランジスタ 6 のソース電位を、 $\phi SCH(n)$ がオン状態の読み出し時と同程度にする。基準信号は、1 周期の間、容量 23 に保持される。

【0053】

次に、光信号の転送の動作を説明する。

【0054】

蓄積期間 $TS1$ の最後で、 $\phi T1$ の $S1$ の位置のパルスにより第 1 の転送スイッチ 18 をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第 1 の容量 21 に読み出す。次に、 $\phi T2(n)$ の $S1$ の位置のパルスにより第 2 の転送スイッチ 19 をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第 2 の容量 22 に読み出す。これは全てのビットで同時に行われる。

【0055】

次に、基準信号と光信号の読み出しの動作を説明する。

【0056】

図 8 の $TS2$ の蓄積期間中に、 $\phi SCH(n)$ のパルスによりチャンネル選択スイッチ 7 を開くと、第 3 の容量 23 に保持されていた基準信号が共通信号線 11 に読み出される。この期間は $\phi SCH(n)$ の $R1$ の部分である。この基準信号は、 ϕR の $R1$ の位置のパルスにより発生した基準信号である。次に、 $\phi T3(n)$ をオンし、 $S1$ の期間で光信号を容量 23 に読み出すと、この光信号が共通信号線 11 に読み出される。このとき、電流源 51 をオフ状態にする。このことによって、 $R1$ の期間で基準信号を容量 23 に読み出すときと、 $S1$ の期間でフォトダイオードに蓄積した電荷に応じた光信号を容量 23 に読み出すときの MOS トランジスタ 6 のソース電位を、同程度にすることができる。したがって、容量 23 に蓄える電荷へ

の寄生容量 9 の影響を小さくすることができる。このことによって、暗出力電圧のオフセットを小さくできる。

【0057】

また、 $\phi T3(n)$ をオンすると、光信号が容量 23 に読み出されるが、 $\phi T3(n)$ をオンしている期間 S1 の間に、V1 の電位がセットリングするようにアンプ手段 17 のドライバビリティを設定すれば、 $\phi SCH(n)$ の期間を短くでき、高速の読み出しが可能である。

【0058】

以上の動作により、 $\phi SCH(n)$ の R1 の期間と S1 の期間の共通信号線 11 の出力電圧 VOUT の差を取れば、固定パターンノイズとリセットスイッチ 2 によるランダムノイズを除去できる。これは、両方に同じリセットパルス ϕR のオフノイズがのっており、両方の電圧の出力経路が同じであるからである。

【0059】

次に、 $\phi T3(n)$ をオフしてから、 $\phi SCH(n)$ をオフし、 $\phi T2(n)$ の R2 の位置のパルスにより第 2 の転送スイッチ 19 をオンして、リセットパルス ϕR の R2 の期間終了後の基準信号を第 2 の容量 22 に読み出す。次に、 $\phi T3(n)$ の R2 の位置のパルスにより第 3 の転送スイッチ 20 をオンして、基準信号を第 3 の容量 23 に読み出す。

【0060】

一方、 $\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ 7 が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。n+1 ビット目の $\phi T2$ の基準信号を読み出すパルス、 $\phi T3$ 、 ϕRR のパルスは、n ビット目のパルスよりも、全て ϕSCH のオン期間だけ後ろにずれる。

【0061】

基準信号と光信号は、相関 2 重サンプリング回路等を使い差をとる。これは、例えば、従来例の図 10 のブロック C の回路で可能である。

【0062】

図 6、図 8 の実施例では、TS2 の期間でフォトダイオードが蓄積動作中に、前の蓄積期間 TS1 の期間で蓄積した光信号を読み出すことができる。したがっ

て、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS2の期間内に赤の光信号を読み出すことになる。

【0063】

図7は、本発明の実施形態2に係る光電変換装置の回路図である。図6のリセットスイッチ2はMOSスイッチ35、アンプ手段15、16、17はMOSソースフォロア38、40、42と電流源39、41、43、転送スイッチ18、19は、MOSスイッチ44、45、転送スイッチ20はトランスマッションゲート32とダミースイッチ33、第2の電流源51はMOS電流源34、チャンネル選択スイッチ7はMOSスイッチ36、第1の電流源8はMOS電流源37で置き換えている。

【0064】

図9は、本発明の実施形態2に係る光電変換装置の回路図に対応したタイミングチャートである。

【0065】

図8との違いは、 ϕ_{SEL1} 、 ϕ_{SEL2} 、 ϕ_{SEL3} 、がそれぞれ ϕ_{I1} 、 ϕ_{I2} 、 ϕ_{I3} 、に変わった点である。また、 ϕ_{T3X} は図9に示さないが、 ϕ_{T3} の反転である。

【0066】

図8の回路では、アンプ38、40、42のオン・オフを、それぞれ電流源39、41、43のゲート電圧でコントロールする。

【0067】

図7の回路ではMOSソースフォロア38と42の基板電位とソース電位を共通としているので、ゲインをほぼ1にできる。

【0068】

また、基準信号R1を読み出すときは ϕ_{T3} のオフノイズが乗った状態のV1の電位を読み出すが、光信号S1を読み出すときは ϕ_{T3} のオフノイズが乗って

いない状態の V_1 の電位を読み出している。このため、 ϕT_3 のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランスマッションゲート 32 とし、ダミースイッチ 33 を設けている。トランスマッションゲートの NMOS と PMOS のトランジスタサイズは同じにし、ダミースイッチ 33 の NMOS と PMOS のトランジスタサイズは、トランスマッションゲートのトランジスタサイズのゲート面積の半分にする ϕRR は GND 電位するとき、MOS 電流源 34 はオフ状態で、適当な電位するとき、MOS 電流源 34 はオン状態となる。オン状態の ϕRR の電位は、MOS 電流源 34 の電流が MOS 電流源 37 の電流と同程度になるように設定する。簡単のために、MOS 電流源 34 のサイズを適当に定め、オン状態の ϕRR の電位を電源電圧とすることもできる。以上は、MOS トランジスタ 6 と MOS 電流源 34 と MOS 電流源 37 が共に NMOS の場合であるが、共に PMOS であっても同様にできる。

【0069】

消費電流の観点では、高速読み出しのためには、 ϕT_3 の S_1 の期間を短くする必要があるが、そのためには、アンプ手段 14 または、電流源 43 の電流を大きくする必要がある。しかし、図 8 または図 9 の駆動方法では、 ϕT_3 のパルスは、ビットによってずれるので、消費電流を分散させることができる。このことは、図 8 の ϕSEL_3 または、図 9 の ϕI_3 がビットごとにずれていることで示されている。

【0070】

一方、 ϕT_1 、 ϕT_2 は全ビット同時にオンする必要があるが、これは、オンの期間を長くすることで、アンプ手段 15、16 または、電流源 39、41 の電流を低く抑えることができる。すなわち、図 8、図 9 に示される、 ϕT_1 、 ϕT_2 のオン期間を、 ϕSCH や ϕT_3 のオン期間よりも長くすれば良い。図 8、図 9 では、 ϕT_2 の R_2 の期間が ϕSCH のオン期間と同じに示されているが、 ϕT_2 の R_2 の期間を ϕSCH のオン期間よりも長くしてもさしつかえない。

【0071】

また、 ϕT_2 、 ϕT_3 、 ϕSCH 、 ϕRR 等のパルスは、ビットごとにずれるように作る必要があるが、シフトレジスタのパルスから、作ることができる。

【0072】

以上の説明で、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0073】

上記の回路は1つの半導体基盤上に形成し、リニアイメージセンサーICとすることが可能である。また、このリニアイメージセンサーICを複数個直線状に実装して、密着型イメージセンサーを供給することができる。

【0074】

【発明の効果】

以上説明したように、本発明は、リセットスイッチの同じオフノイズが乗った光信号と基準信号とを読み出すので、固定パターンノイズと、ランダムノイズの小さい光電変換装置が得られる。

【0075】

したがって、簡単な構成で、暗出力のばらつきが小さいイメージセンサーICを供給できる。また、このイメージセンサーICを複数個直線状に実装した、密着型イメージセンサーを供給することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態1に係る光電変換装置の概略回路図である。

【図2】

本発明の実施形態1に係る光電変換装置の回路図である。

【図3】

本発明の実施形態1に係る光電変換装置の概略回路図に対応したタイミングチャートである。

【図4】

本発明の実施形態1に係る光電変換装置の回路図に対応したタイミングチャートである。

【図5】

本発明に係る光電変換装置の全体構成図である。

【図6】

本発明の実施形態 2 に係る光電変換装置の概略回路図である。

【図 7】

本発明の実施形態 2 に係る光電変換装置の回路図である。

【図 8】

本発明の実施形態 2 に係る光電変換装置の概略回路図に対応したタイミングチャートである。

【図 9】

本発明の実施形態 2 に係る光電変換装置の回路図に対応したタイミングチャートである。

【図 10】

従来の画像読み取り装置に用いられているイメージセンサー IC の回路図である。

【図 11】

従来の画像読み取り装置に用いられているイメージセンサー IC のタイミングチャートである。

【符号の説明】

- 1 フォトダイオード
- 2 リセットスイッチ
- 6 MOS トランジスタ
- 7 チャンネル選択スイッチ
- 8 電流源
- 9 寄生容量
- 12, 13, 14 アンプイネーブル端子
- 11 共通信号線
- 15 第 1 のアンプ
- 16 第 2 のアンプ
- 17 第 3 のアンプ
- 18 第 1 の転送スイッチ
- 19 第 2 の転送スイッチ

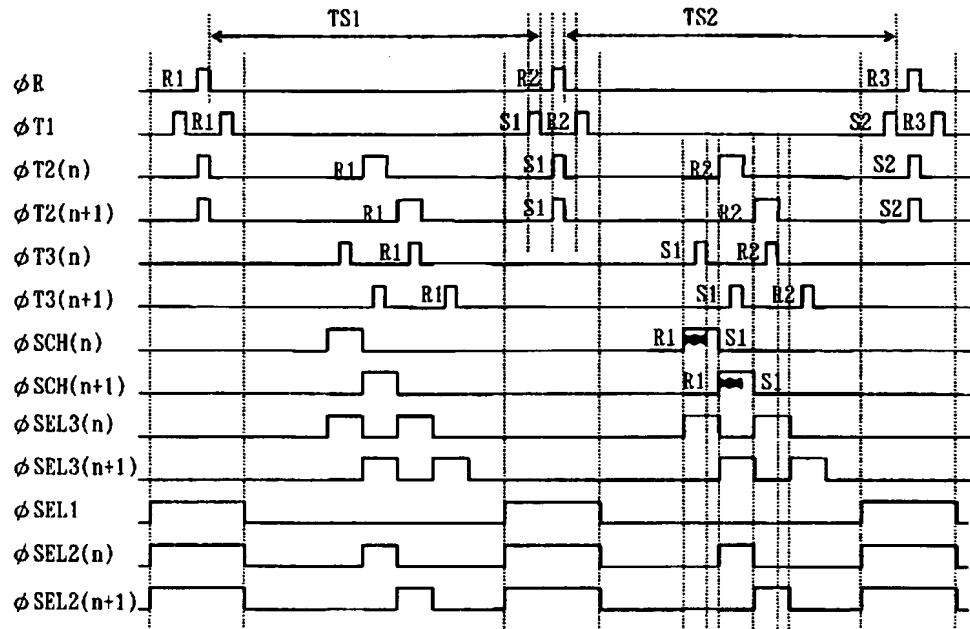
20 第3の転送スイッチ
21 第1の容量
22 第2の容量
23 第3の容量
38、40、42 MOSソースフォロア
39、41、43 電流源
32 トランсмисシヨンゲート
33 ダミースイッチ
35 MOSスイッチ
36 MOSスイッチ
37 MOS電流源
44、45 MOSスイッチ
101 フォトダイオード
102 リセットスイッチ
103 ソースフォロアアンプ
104 定電流源
105 読み出しスイッチ
106 共通信号線
107 信号線リセットスイッチ
108 寄生容量
109 オペアンプ
110 抵抗
111 抵抗
112 チップセレクトスイッチ
113 容量
114 MOSトランジスタ
115 容量
116 出力端子
An nビット目の光電変換ブロック

B m mチップ目のイメージセンサー I C ブロック

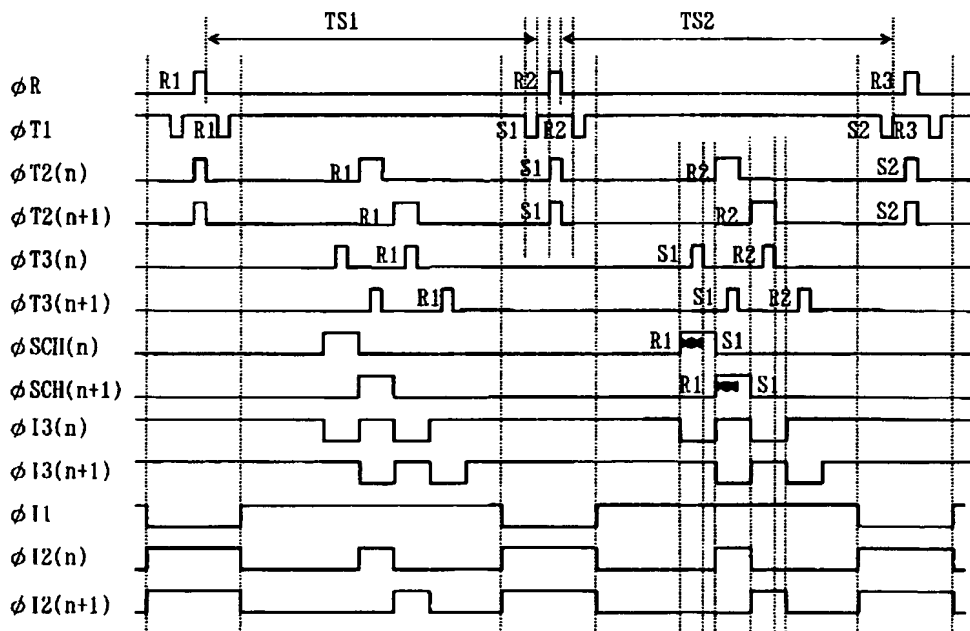
C クランプ回路

D 反転増幅器

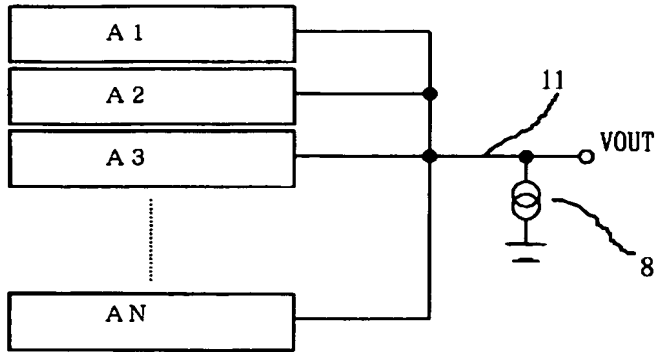
【図 3】



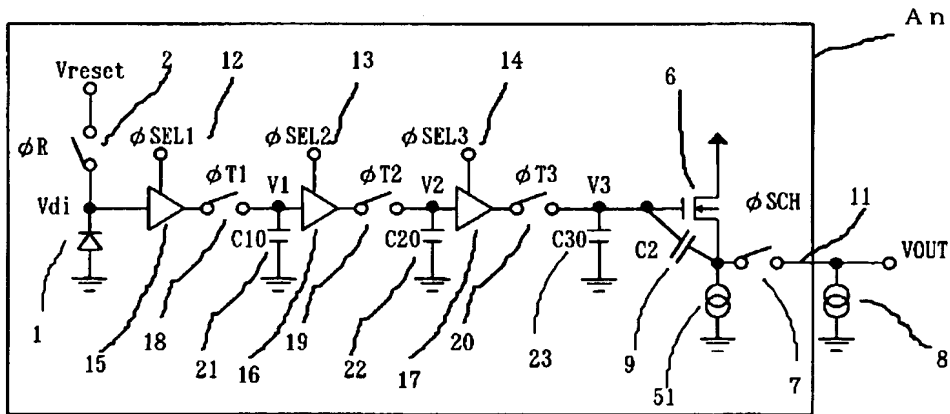
【図 4】



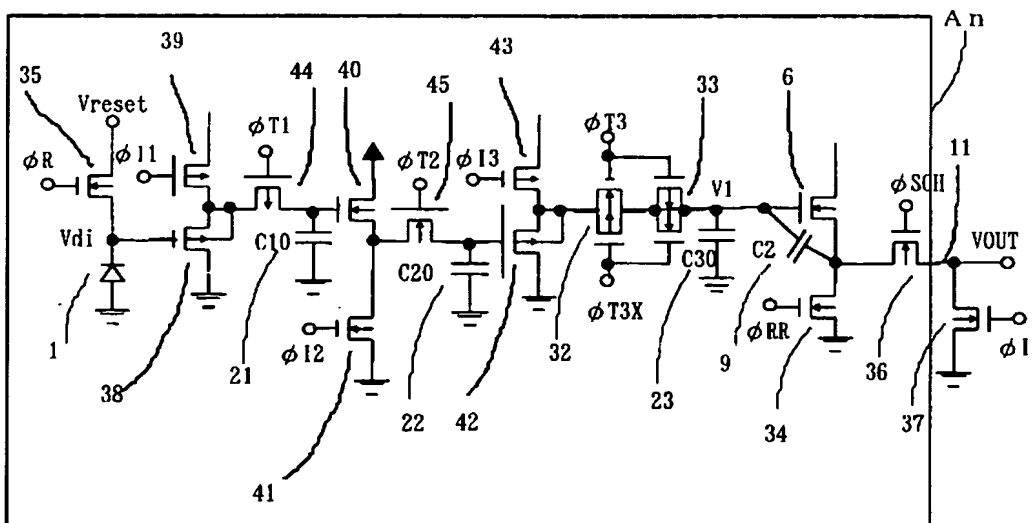
【図 5】



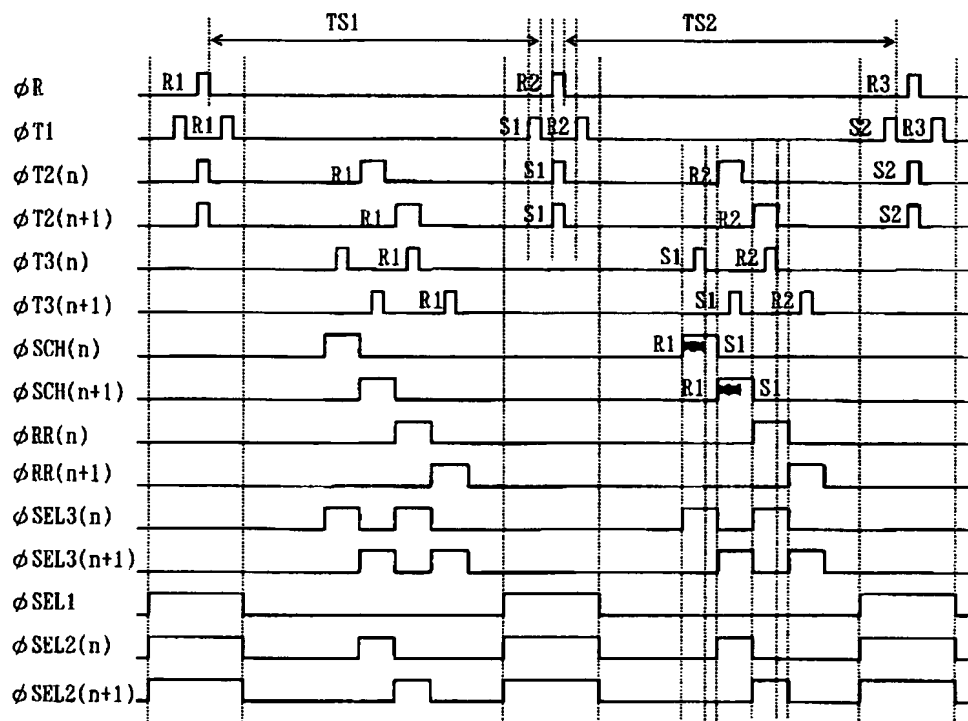
【図 6】



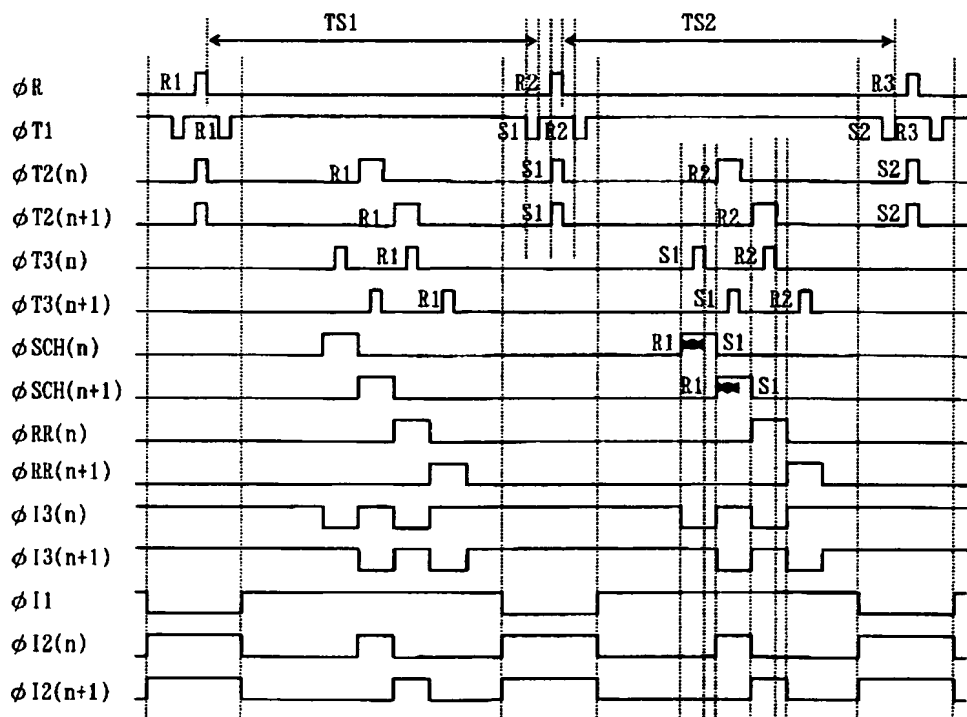
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ランダムノイズを低減可能な光電変換装置の提供。

【解決手段】 光電変換手段の出力端子が、リセット手段とアンプ手段の入力端子に接続され、前記光電変換手段の出力端子をリセットすることにより生じる基準信号と、前記光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを順に保持する第1の保持手段と、前記基準信号と前記光信号とを順に保持する第2の保持手段と、前記基準信号を保持する第3の保持手段と、前記基準信号と前記光信号とを共通信号線に読み出す信号読み出し手段とを有する。

【選択図】 図1

特願 2 0 0 3 - 0 4 9 5 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 2 5]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社